

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-64349

(43)公開日 平成9年(1997)3月7日

(51) Int.Cl.*	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/78			H 01 L 29/78	3 0 1 K
21/266			21/285	3 0 1 T
21/285	3 0 1		21/265	M
21/336			29/78	3 0 1 L

審査請求 未請求 請求項の数20 O.L (全10頁)

(21)出願番号 特願平7-213849

(22)出願日 平成7年(1995)8月22日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 末永 浩

東京都品川区北品川6丁目7番35号 ソニー株式会社内

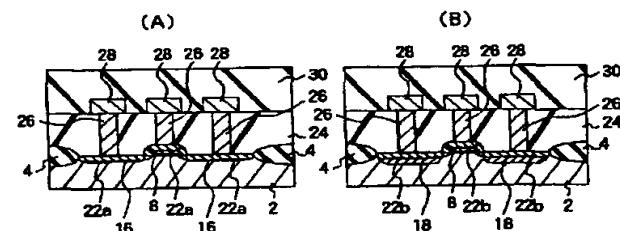
(74)代理人 弁理士 佐藤 陸久

(54)【発明の名称】高融点シリサイドを持つ半導体装置とその製造方法

(57)【要約】

【課題】複雑なプロセスを用いることなく、しかも大幅な工程像を招くことなく、高融点金属シリサイドを形成するにもかかわらず、低抵抗な拡散層と高抵抗な拡散層とを同時に形成することができる半導体装置とその製造方法を提供すること。

【解決手段】拡散層16, 18の表面に高融点シリサイド22a, 22bが形成してある半導体装置において、同一半導体基板2上に形成された第1拡散層16の構造と第2拡散層18の構造とが相違する。第1拡散層16は、たとえば保護回路と成るMOSトランジスタのソース・ドレイン領域であり、第2拡散層18は、保護回路以外のたとえばメモリセル回路のためのMOSトランジスタのソース・ドレイン領域である。第1拡散層16の表面の不純物濃度は、第2拡散層18の表面の不純物濃度よりも高く設定してある。拡散層16の表面の不純物濃度を高く設定することで、その表面に形成される高融点金属のシリサイド化反応が不十分になり、結果的に抵抗が下がらず高抵抗になる。



1

## 【特許請求の範囲】

【請求項1】 拡散層の表面に高融点シリサイドが形成してある半導体装置において、同一半導体基板上に形成された第1拡散層の構造と第2拡散層の構造とが相違する半導体装置。

【請求項2】 前記第1拡散層が、保護回路と成るMOSトランジスタのソース・ドレイン領域であり、第2拡散層が、保護回路以外の回路のためのMOSトランジスタのソース・ドレイン領域である請求項1に記載の半導体装置。

【請求項3】 前記第1拡散層の表面の不純物濃度を、前記第2拡散層の表面の不純物濃度よりも高く設定してある請求項1または2に記載の半導体装置。

【請求項4】 前記第1拡散層の深さが、前記第2拡散層の深さよりも浅く形成してある請求項1～3のいずれかに記載の半導体装置。

【請求項5】 拡散層の表面に高融点金属シリサイドが形成してある半導体装置を製造する方法において、半導体基板上に、第1拡散層を形成するための第1イオン注入を行う工程と、前記半導体基板上の第1拡散層と成る領域とは別の領域に、第2拡散層を形成するための第2イオン注入を行う工程と、前記第1拡散層と成る領域の表面と、第2拡散層と成る領域の表面とに、高融点金属膜を形成する工程と、その後、熱処理を行うことにより、第1拡散層と第2拡散層の表面に高融点金属シリサイドを形成する工程とを有し、

前記第1イオン注入の条件と第2イオン注入の条件とが相違することを特徴とする半導体装置の製造方法。

【請求項6】 前記第1拡散層が、保護回路と成るMOSトランジスタのソース・ドレイン領域であり、第2拡散層が、保護回路以外の回路のためのMOSトランジスタのソース・ドレイン領域である請求項5に記載の半導体装置の製造方法。

【請求項7】 前記第1イオン注入時のドーズ量が、前記第2イオン注入時のドーズ量よりも多いことを特徴とする請求項5または6に記載の半導体装置の製造方法。

【請求項8】 前記第1イオン注入時の注入エネルギーが、前記第2イオン注入時の注入エネルギーよりも低いことを特徴とする請求項5～7のいずれかに記載の半導体装置の製造方法。

【請求項9】 拡散層の表面に高融点金属シリサイドが形成してある半導体装置を製造する方法において、半導体基板上の第1拡散層となる領域と第2拡散層となる領域とに、比較的低ドーズ量でイオン注入を行う工程と、

半導体基板上の第1拡散層となる部分にのみ、さらにイオン注入を行う工程と、

前記第1拡散層と成る領域の表面と、第2拡散層と成る

2

領域の表面とに、高融点金属膜を形成する工程と、その後、熱処理を行うことにより、第1拡散層と第2拡散層の表面に高融点金属シリサイドを形成する工程とを有する半導体装置の製造方法。

【請求項10】 前記第1拡散層が、保護回路と成るMOSトランジスタのソース・ドレイン領域であり、第2拡散層が、保護回路以外の回路のためのMOSトランジスタのソース・ドレイン領域である請求項9に記載の半導体装置の製造方法。

10 【請求項11】 拡散層の表面に高融点金属シリサイドが形成してある半導体装置を製造する方法において、半導体基板上の第1拡散層となる領域の表面には、緩衝膜を成膜し、第2拡散層となる領域には緩衝膜を形成せずに、第1拡散層と第2拡散層とを形成するためのイオン注入を行う工程と、前記緩衝膜を除去した後に、前記第1拡散層と成る領域の表面と、第2拡散層と成る領域の表面とに、高融点金属膜を形成する工程と、その後、熱処理を行うことにより、第1拡散層と第2拡散層の表面に高融点金属シリサイドを形成する工程とを有する半導体装置の製造方法。

【請求項12】 前記第1拡散層が、保護回路と成るMOSトランジスタのソース・ドレイン領域であり、第2拡散層が、保護回路以外の回路のためのMOSトランジスタのソース・ドレイン領域である請求項10に記載の半導体装置の製造方法。

【請求項13】 拡散層の表面に高融点金属シリサイドが形成してある半導体装置において、同一半導体基板上に形成された第1拡散層の表面に形成された高融点金属シリサイドと第2拡散層の表面に形成された高融点金属シリサイドとが異なる相構造を有する半導体装置。

【請求項14】 前記第1拡散層が、保護回路と成るMOSトランジスタのソース・ドレイン領域であり、第2拡散層が、保護回路以外の回路のためのMOSトランジスタのソース・ドレイン領域である請求項13に記載の半導体装置。

【請求項15】 前記第1拡散層の表面に形成された高融点金属シリサイドが、高抵抗相の高融点金属シリサイドを含む請求項13または14に記載の半導体装置。

【請求項16】 拡散層の表面に高融点金属シリサイドが形成してある半導体装置を製造する方法において、半導体基板上の第1拡散層を形成する予定領域にのみ、シリサイド化抑制用不純物を注入する工程と、半導体基板上の第1拡散層の予定領域と第2拡散層の予定領域とに、拡散層を形成するためのイオン注入を行う工程と、前記第1拡散層と成る領域の表面と、第2拡散層と成る領域の表面とに、高融点金属膜を形成する工程と、その後、熱処理を行うことにより、第1拡散層と第2拡

50

散層との表面に高融点金属シリサイドを形成する工程とを有し、

前記第1拡散層の表面に形成された高融点金属シリサイドの抵抗が、第2拡散層の表面に形成された高融点金属シリサイドの抵抗よりも高いことを特徴とする半導体装置の製造方法。

【請求項17】前記第1拡散層が、保護回路と成るMOSトランジスタのソース・ドレイン領域であり、第2拡散層が、保護回路以外の回路のためのMOSトランジスタのソース・ドレイン領域である請求項16に記載の半導体装置の製造方法。

【請求項18】前記シリサイド化抑制用不純物が、シリコンイオン、窒素イオン、酸素イオンのうちのいずれかである請求項16または17に記載の半導体装置の製造方法。

【請求項19】拡散層の表面に高融点金属シリサイドが形成してある半導体装置を製造する方法において、半導体基板上の第1拡散層を形成する予定領域にのみ、ノックオン層が形成されるように拡散層を形成するためのイオン注入を行い、同時に、第2拡散層の予定領域では、ノックオン層を形成しないで拡散層を形成するためのイオン注入を行う工程と前記ノックオン層を除去する工程と、

前記第1拡散層と成る領域の表面と、第2拡散層と成る領域の表面とに、高融点金属膜を形成する工程と、その後、熱処理を行うことにより、第1拡散層と第2拡散層との表面に高融点金属シリサイドを形成する工程とを有し、

前記第1拡散層の表面に形成された高融点金属シリサイドの抵抗が、第2拡散層の表面に形成された高融点金属シリサイドの抵抗よりも高いことを特徴とする半導体装置の製造方法。

【請求項20】前記第1拡散層が、保護回路と成るMOSトランジスタのソース・ドレイン領域であり、第2拡散層が、保護回路以外の回路のためのMOSトランジスタのソース・ドレイン領域である請求項19に記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、拡散層の表面に高融点金属シリサイドが形成してある半導体装置およびその製造方法に関する。

##### 【0002】

【従来の技術】作今の素子の微細化、高速化の要求に対し、拡散層およびゲート電極の低抵抗化が必須の技術であり、特に高融点金属シリサイド(Self Aligned Silicide)技術が広く開発され、一部の製品で既に実用化されている。

【0003】また、CMOS・FET回路を適用する半導体装置においては、特に外部からの静電気による静電

破壊(ESD:Electro Static Discharge)から半導体装置を保護するために、保護回路を用いていることも公知である。高融点金属シリサイドを特に拡散層に用いた場合、拡散層の抵抗が数Ω/□まで低抵抗化されているために、保護回路の本来の能力が失われてしまい、様々な破壊をもたらす。この原因は、保護回路中のMOSトランジスタの拡散層の抵抗が低いために、外部からの特に静電気のような高電圧に対して、従来拡散層の抵抗(～100Ω/□)によってある程度“なまらせる”ことを目的としていた機能が作用しないことに起因している。また、半導体装置では、拡散層をある種の「抵抗」として用いる場合もある。すなわち、現在の半導体装置においては、拡散層の低抵抗化と同時に低抵抗化を行いたくない領域が同時に存在している。

【0004】従来のシリサイドプロセスをそのまま半導体装置に適用すると、シリサイド化反応を行なうときに全てのシリコン基板およびゲート電極のシリコン上が高融点金属シリサイドとなり、同時に低抵抗化されてしまうと言う問題が生じてしまう。

##### 【0005】

【発明が解決しようとする課題】この問題点を解決するために様々な提案がされており、特に保護回路については様々な提案がされているが、設計手法が煩雑であり特にプロセス工程数が大幅に増加する問題があった(1988年IEEE、IEDM88第580頁～第583頁)。

【0006】また、保護回路などのように高抵抗な拡散層を必要とする領域には高融点金属シリサイドを形成しない方法が提案されているが、プロセス工程数が増加してしまう等の問題が生じる。そこで、高融点金属シリサイドを形成する際に、低抵抗な高融点金属シリサイドの形成は必須であるが、同時に、高抵抗な高融点金属シリサイドを形成する技術が必要とされていた。

【0007】本発明は、このような実状に鑑みてなされ、複雑なプロセスを用いることなく、しかも大幅な工程像を招くことなく、高融点金属シリサイドを形成するにもかかわらず、低抵抗な拡散層と高抵抗な拡散層とを同時に形成することができる半導体装置とその製造方法を提供することを目的とする。

##### 【0008】

【課題を解決するための手段】本発明は、前述の問題点に鑑み提案されたものであり、保護回路部分に形成されるシリサイド膜の抵抗を高くすることにより、シリサイドプロセスと保護回路との整合性を高め、かつ工程数の大幅な増加を抑制することが可能となる半導体装置の構造およびその製造方法を提供するものである。

【0009】また、本発明は、高融点金属シリサイドを形成する際に、従来の低抵抗(～数Ω/□)な高融点金属シリサイドに加えて、高抵抗(～100Ω/□)な高融点金属シリサイドを、プロセス工程数の大幅な増加無

く形成することが可能となる半導体装置の構造およびその製造方法に関するものである。

【0010】すなわち、本発明に係る第1の半導体装置は、拡散層の表面に高融点シリサイドが形成してある半導体装置において、同一半導体基板上に形成された第1拡散層の構造と第2拡散層の構造とが相違することを特徴とする。前記第1拡散層は、たとえば保護回路と成るMOSトランジスタのソース・ドレイン領域であり、第2拡散層は、保護回路以外のたとえばメモリセル回路のためのMOSトランジスタのソース・ドレイン領域である。

【0011】前記第1拡散層の表面の不純物濃度は、前記第2拡散層の表面の不純物濃度よりも高く設定してある。拡散層の表面の不純物濃度を高く設定することで、その表面に形成される高融点金属のシリサイド化反応が不十分になり、結果的に抵抗が下がらず高抵抗になる。たとえば保護回路用MOSトランジスタにおいては、その拡散層が高抵抗になることが好ましい。

【0012】前記第1拡散層の深さが、前記第2拡散層の深さよりも浅く形成してあることが好ましい。たとえば保護回路用MOSトランジスタのソース・ドレイン領域と成る第1拡散層においては、高抵抗になることが好ましいことから、拡散層の表面にのみ不純物をイオン注入すれば良く、拡散層の深さは浅い方が好ましい。

【0013】本発明に係る第1の半導体装置の製造方法は、半導体基板上に、第1拡散層を形成するための第1イオン注入を行う工程と、前記半導体基板上の第1拡散層と成る領域とは別の領域に、第2拡散層を形成するための第2イオン注入を行う工程と、前記第1拡散層と成る領域の表面と、第2拡散層と成る領域の表面とに、高融点金属膜を形成する工程と、その後、熱処理を行うことにより、第1拡散層と第2拡散層の表面に高融点金属シリサイドを形成する工程とを有し、前記第1イオン注入の条件と第2イオン注入の条件とが相違することを特徴とする。

【0014】たとえば前記第1イオン注入時のドーズ量が、前記第2イオン注入時のドーズ量よりも多いことが好ましい。第1拡散層は、たとえば保護回路用MOSトランジスタのソース・ドレイン領域と成ることから、拡散層の抵抗は高い方が好ましい。第1イオン注入時のドーズ量を多くすることで、拡散層の表面に形成される高融点金属のシリサイド化が不十分になり、低抵抗化が十分に図られず、高抵抗となるので好ましい。

【0015】前記第1イオン注入時の注入エネルギーが、前記第2イオン注入時の注入エネルギーよりも低いことが好ましい。注入エネルギーが高いほど、深い拡散層を形成することができるが、第1イオン注入により形成される拡散層は、比較的高抵抗の拡散層であることが好ましいので、注入エネルギーも低いことが好ましい。

【0016】本発明に係る第2の半導体装置の製造方法

は、半導体基板上の第1拡散層となる領域と第2拡散層となる領域とに、比較的低ドーズ量でイオン注入を行う工程と、半導体基板上の第1拡散層となる部分にのみ、さらにイオン注入を行う工程と、前記第1拡散層と成る領域の表面と、第2拡散層と成る領域の表面とに、高融点金属膜を形成する工程と、その後、熱処理を行うことにより、第1拡散層と第2拡散層の表面に高融点金属シリサイドを形成する工程とを有する。

【0017】たとえば保護回路用MOSトランジスタのソース・ドレイン領域となる第1拡散層の表面に形成される金属シリサイドは、高抵抗であることが好ましい。高抵抗にするために、第1拡散層の表面の不純物濃度を高くすることで、その表面に形成される高融点金属のシリサイド化が不十分になり、高抵抗化が図られることは前述した通りである。この発明では、第2拡散層にイオン注入される回数よりも第1拡散層にイオン注入される回数を多くすることで、第1拡散層のシリサイド化を不十分なものとし、高抵抗化を図っている。

【0018】本発明に係る第3の半導体装置の製造方法は、半導体基板上の第1拡散層となる領域の表面には、緩衝膜を成膜し、第2拡散層となる領域には緩衝膜を形成せずに、第1拡散層と第2拡散層とを形成するためのイオン注入を行う工程と、前記緩衝膜を除去した後に、前記第1拡散層と成る領域の表面と、第2拡散層と成る領域の表面とに、高融点金属膜を形成する工程と、その後、熱処理を行うことにより、第1拡散層と第2拡散層の表面に高融点金属シリサイドを形成する工程とを有する。

【0019】この本発明に係る第3の半導体装置の製造方法では、第1拡散層の表面に緩衝膜が形成してある。緩衝膜としては、たとえば酸化シリコン膜を用いることができる。第1拡散層の表面には、緩衝膜を通してイオン注入することにより、イオン注入される不純物のピークを第1拡散層予定部の表面に持たせることができる。その結果、第1拡散層の表面の不純物濃度を第2拡散層のそれに比較して増大させることができ、比較的高抵抗の金属シリサイドと、比較的低抵抗の金属シリサイドとを同時に形成することができる。

【0020】本発明に係る第2の半導体装置は、拡散層の表面に高融点金属シリサイドが形成してある半導体装置において、同一半導体基板上に形成された第1拡散層の表面に形成された高融点金属シリサイドと第2拡散層の表面に形成された高融点金属シリサイドとが異なる相構造を有することを特徴とする。

【0021】前記第1拡散層が、たとえば保護回路と成るMOSトランジスタのソース・ドレイン領域であり、第2拡散層が、保護回路以外のたとえばメモリ回路のためのMOSトランジスタのソース・ドレイン領域である。前記第1拡散層の表面に形成された高融点金属シリサイドが、高抵抗相(C49相)の高融点金属シリサイ

50

ドを含む。

【0022】本発明に係る第4の半導体装置の製造方法は、半導体基板上の第1拡散層を形成する予定領域にのみ、シリサイド化抑制用不純物を注入する工程と、半導体基板上の第1拡散層の予定領域と第2拡散層の予定領域とに、拡散層を形成するためのイオン注入を行う工程と、前記第1拡散層と成る領域の表面と、第2拡散層と成る領域の表面とに、高融点金属膜を形成する工程と、その後、熱処理を行うことにより、第1拡散層と第2拡散層との表面に高融点金属シリサイドを形成する工程とを有し、前記第1拡散層の表面に形成された高融点金属シリサイドの抵抗が、第2拡散層の表面に形成された高融点金属シリサイドの抵抗よりも高いことを特徴とする。

【0023】前記シリサイド化抑制用不純物は、シリコンイオン、窒素イオン、酸素イオンのうちのいずれかであることが好ましい。このようなシリサイド化抑制用不純物を第1拡散相予定部にイオン注入することで、その表面に形成される高融点金属のシリサイド化が抑制され、低抵抗化を部分的に抑制することができる。

【0024】本発明に係る第5の半導体装置の製造方法は、半導体基板上の第1拡散層を形成する予定領域にのみ、ノックオン層が形成されるように、拡散層を形成するためのイオン注入を行い、同時に、第2拡散層の予定領域では、ノックオン層が形成されないように、拡散層を形成するためのイオン注入を行う工程と、前記ノックオン層を除去する工程と、前記第1拡散層と成る領域の表面と、第2拡散層と成る領域の表面とに、高融点金属膜を形成する工程と、その後、熱処理を行うことにより、第1拡散層と第2拡散層との表面に高融点金属シリサイドを形成する工程とを有し、前記第1拡散層の表面に形成された高融点金属シリサイドの抵抗が、第2拡散層の表面に形成された高融点金属シリサイドの抵抗よりも高いことを特徴とする。

【0025】前記ノックオン層は、たとえば酸化シリコン膜を通してイオン注入することにより形成される。酸化シリコン膜を介してイオン注入を行うことにより、ノックオン現象が生じ、酸化シリコン膜中の酸原子が半導体基板表面に飛び込み、酸素の高濃度層が形成され、シリサイド化反を行なう際に反応が抑制され、結果として、部分的に高抵抗な高融点金属シリサイドを形成することができる。

【0026】

【発明の実施の形態】以下、本発明に係る半導体装置およびその製造方法を、図面に示す実施例に基づき、詳細に説明する。

#### 実施例1

本実施例では、図1～11を用いて、保護回路を持つ半導体装置にシリサイド(Salicide)・プロセスを適用する場合の半導体装置の製造方法について説明する。本実

施例では、ソース・ドレイン領域のイオン注入条件を、保護回路とその他の部分(たとえばメモリ回路)とで変えることで、保護回路中のMOSトランジスタの拡散層のシート抵抗のみを低抵抗化させない。

【0027】以下、詳述する。まず、図1に示すように、単結晶シリコン基板などで構成された半導体基板2上に素子分離領域4をLOCOS法(たとえば、950°C、Wet酸化)やトレンチ法により形成する。ウェル(Well)領域には、トランジスタのパンチスル(=Punchthrough)抑制を目的とした埋め込み層の形成や、しきい値電圧(V<sub>th</sub>)調整のためのイオン注入等を行う。その後、MOSトランジスタのゲート酸化膜6およびゲート電極8を形成する。

【0028】ここでゲート酸化膜6は、パイロジェニック(Pyrogenic)酸化(850°C、H<sub>2</sub>O/O<sub>2</sub>)により8nm程度に形成し、ゲート電極8は、ポリシリコンを減圧CVDにより堆積し(たとえばSiH<sub>4</sub>を原料ガスとして、堆積温度620°C)、フォトリソグラフィーとドライエッティングとを用いて加工する。ここでゲート電極8は、アモルファスシリコン等を用いても良い。ゲート電極上にシリサイドを行わない場合は、オフセット酸化膜をゲート電極上に形成したり、WSi<sub>2</sub>との複合膜(ポリサイド:Polycide)にしても良い。

【0029】なお、図1およびその他の図面では、(A)に示す領域(第1拡散層領域)が保護回路となり、(B)に示す領域(第2拡散層領域)がその他の回路(メモリ回路)と成る。次に、図2に示すように、NMOSトランジスタのLDD(Lightly doped drain)となる領域10を、イオン注入を用いて形成する。たとえば、As<sup>+</sup>を20keV、6×10<sup>12</sup>/cm<sup>2</sup>の条件で行う。また、図示はしていないが、PMOSを形成する場合はNMOS領域はレジスト等によりマスキングしておく。

【0030】次に、図3に示すように、サイドウォール12の形成を行う。サイドウォール12は、たとえば常圧CVDにより形成されたSiO<sub>2</sub>や、減圧のTEOS-CVDにより形成されたSiO<sub>2</sub>や、SiNや、O<sub>3</sub>-TEOS法により形成されたノンドープ酸化シリコン(NSG)膜などで構成され、これらの膜を150nm程度成膜後、異方性ドライエッティングによりエッチバックを行うことにより形成される。

【0031】次に、図4に示すように、保護回路中のNMOSトランジスタのソース・ドレイン領域のみにイオン注入するために、その他の部分(たとえばメモリ)等のNMOS領域をレジスト14によりマスキングする。次に、図4(A)に示す保護回路中のNMOSのソース・ドレイン領域16を、As<sup>+</sup>、60keV、5×10<sup>15</sup>/cm<sup>2</sup>の条件でイオン注入により形成する。

【0032】その後、O<sub>2</sub>アッショング等によりレジスト14の除去を行う。前記ソース・ドレイン領域16を形

成するためのイオン注入条件に於いて、As<sup>+</sup>のドーズ量を $5 \times 10^{15}/\text{cm}^2$ とすることで、このあとのサリサイド(Salicide)プロセスに於いて十分なサリサイド反応が起こらないため、保護回路には、高抵抗なシリサイド膜が形成されることとなる。

【0033】次に、図5に示すように、その他の部分のNMOSトランジスタのソース・ドレイン領域18を形成するために、保護回路中のNMOSトランジスタ領域をレジスト19によりマスキングする。この状態で、As<sup>+</sup>、60keV、 $3 \times 10^{15}/\text{cm}^2$ の条件でイオン注入し、保護回路以外の部分のソース・ドレイン領域18を形成する。その後、O<sub>2</sub>アッシング等によりレジスト18の除去を行う。

【0034】ここで注入した不純物を活性化するための熱処理を、窒素雰囲気若しくはアンモニア雰囲気中で、1000°C、10秒のRTA(Rapid Thermal anneal)や、Furnace Annealで行う(図示省略)。この後は通常のサリサイドプロセスにより、シリコンとの界面で高融点金属のシリサイドを形成する。本実施例1では、一般的な2ステップアニール法を用いてサリサイド化を行う。まず、図6に示すように、基板2の全面に高融点金属20をCVD法や蒸着法を用いて形成する。ここで高融点金属20は、たとえばTi、Co、Ni、Pt、等であり、その厚さは特に限定されないが、たとえば約30nm程度である。

【0035】次に、図7に示すように、サリサイド(Salicide: Self Aligned Silicide)反応を行うために、熱処理を行う。熱処理条件は、たとえば、窒素雰囲気中で650°C、30秒である。この熱処理により、高融点金属20とシリコン基板21の界面、および高融点金属20とゲート電極8との界面において、サリサイド(Silicide)の反応が生じ、保護回路領域とその他の領域との双方に、高融点金属シリサイド22のC49相が形成される。本シリサイド反応はアンモニア雰囲気中の熱処理においても生じる。

【0036】シリコン酸化膜で構成された素子分離領域4およびサイドウォール12上には、シリサイド反応を起こさない高融点金属20が残るため、図8に示すように、たとえばアンモニア過水(NH<sub>3</sub>:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O=1:2:6、60°C、10分)によって選択的にエッティングを行う。この場合のエッティング液は、塩酸過水および硫酸過水等でも良い。

【0037】図9に示すように、高融点金属シリサイド22のC49相を低抵抗な高融点金属シリサイド22bであるC54相に相転移させるために、たとえば窒素雰囲気中若しくはアンモニア雰囲気中において800°C、30秒の熱処理を行う。このとき、図9(A)に示す保護回路中のNMOSトランジスタの拡散層上の高融点金属シリサイド22aは、拡散層16の不純物濃度、特にAs<sup>+</sup>の濃度が高いために十分な反応が起きず、結果的に抵抗が下がらない。

【0038】As<sup>+</sup>が高濃度でドープされた拡散層上では、シリサイド反応に於いて十分に抵抗が下がらないことが報告されており、我々の検討でも $5 \times 10^{15}/\text{cm}^2$ の濃度でイオン注入することで、シリサイドを形成しない場合と同程度の $\sim 100\Omega/\square$ 程度の高抵抗層が形成されることが分かっている。これに対し、ドーズ量を $3 \times 10^{15}/\text{cm}^2$ まで低くすることで、 $5\Omega/\square$ まで低抵抗化できることも分かっている。

【0039】その後、図10に示すように、通常の層間絶縁膜24を形成し、図11に示すように、接続孔をタングステンプラグ26等を用いて形成し、A1などで構成される金属配線28を形成し、その上にパッシベーション膜30を成膜する。本実施例に係る半導体装置およびその製造方法では、保護回路部分に形成されるシリサイド膜の抵抗を高くすることにより、サリサイドプロセスと保護回路との整合性を高めることができる。また、本実施例では、工程数の大幅な増加を抑制することが可能となる。

【0040】実施例2  
前記実施例1では、保護回路中のNMOSトランジスタの拡散層の不純物濃度を高くするために、その他の部分とイオン注入を打ち分けているが、最終的に保護回路中の拡散層の不純物濃度が高くなれば同様の効果が得られる。すなわち、まず、両方の拡散層に $3 \times 10^{15}/\text{cm}^2$ のドーズ量でイオン注入を行った上で、抵抗を下げたい部分のNMOSトランジスタのみレジストマスクで覆い、保護回路中のNMOSトランジスタの拡散層に $2 \times 10^{15}/\text{cm}^2$ のイオン注入を行うことで、所望の拡散層濃度が得られる。

【0041】本実施例に係る製法では、前記実施例1と同様な作用をそなすると共に、マスク枚数の低減にも寄与する。

#### 実施例3

拡散層の表面濃度の違いを利用した本発明の別の実施例として、イオン注入を行うときのエネルギーを変えることでも同様の効果が得られる。すなわち、高融点金属のシリサイドを形成して抵抗を下げたい部分のソース・ドレイン形成用イオン注入は高エネルギー(60keV程度)で行い、高融点金属のシリサイドを形成しても抵抗を下げたくない部分には低エネルギーイオン注入を行い、表面付近にのみ不純物を注入し、不純物濃度を高める。

【0042】本実施例でも、前記実施例と同様な作用を奏する。

#### 実施例4

本実施例では、半導体基板上の保護回路となる領域の表面には、酸化シリコンなどの緩衝膜を成膜し、その他の回路となる領域には緩衝膜を形成せずに、ソース・ドレイン領域形成のためのイオン注入を行う。

【0043】このように保護回路と成る領域の表面に

は、緩衝膜を通してイオン注入することにより、イオン注入される不純物分布のピークを、ソース・ドレイン領域予定部の表面に持たせることができる。その結果、保護回路用ソース・ドレイン領域の表面の不純物濃度を、他の回路のソース・ドレイン領域表面のそれに比較して増大させることができなり、保護回路には比較的高抵抗の金属シリサイドを形成し、他の回路では、比較的低抵抗の金属シリサイドを同時に形成することができる。

#### 【0044】実施例5

以下に、図12～19を用いて、本発明に係る別の観点に係る半導体装置およびその製造方法について説明する。本実施例では、高抵抗な高融点金属シリサイドを形成する領域には、追加のイオン注入を行う事で、高抵抗なシリサイドを形成する。

【0045】以下、詳述する。ただし、本実施例では、前記実施例1において用いた図1～3に示す工程が共通するので、その説明は省略する。本実施例では、図3に示すように、サイドウォール12を前記実施例1と同様にして形成した後、図12に示すように、高抵抗な高融点金属シリサイドを形成する領域（図12～19において（A）の領域）にのみシリコン基板表面にイオン注入を行う。このために、図12に示すように、低抵抗な高融点金属シリサイドを形成する領域（図12～19において（B）の領域）をレジスト40によりマスキングする。その状態で、図12に示すように、イオン注入を行う。その条件は、たとえば、Si+（シリコンイオン）、N+（窒素イオン）、O+（酸素イオン）等のうちのいずれかを、5～15keV、 $1 \times 10^{15}/\text{cm}^2$ 程度である。ここでのイオン注入の目的は、この後のプロセスで行うシリサイド化反応を行う領域に、余分な不純物を予め注入しておくことで、シリサイド化反応を抑制するためである。

【0046】次に、図13に示すように、MOSトランジスタのソース・ドレイン領域16、18を形成するために、イオン注入を行う。この条件は、たとえば、As+、60keV、 $3 \times 10^{15}/\text{cm}^2$ の条件である。ここで注入した不純物を活性化するための熱処理を、たとえば窒素雰囲気若しくはアンモニア雰囲気中で1000°C、10秒のRTAや、Furnace Annealで行う（図示省略）。

【0047】この後は通常のシリサイドプロセスにより、シリコンとの界面で高融点金属のシリサイドを形成する。本実施例では、一般的な2ステップアニール法を用いる。まず、図14に示すように、全面に高融点金属20をCVD法や蒸着法を用いて形成する。ここで高融点金属20は、たとえばTi、Co、Ni、Pt、等であり、その厚さは、特に限定されないが、たとえば30nm程度である。

#### 【0048】次に、図15に示すように、シリサイド

（Salicide：Self Aligned Silicide）応を行なうために、熱処理を行う。熱処理条件は、たとえば、窒素雰囲気中で650°C、30秒である。この熱処理により、高融点金属20とシリコン基板2との界面、および高融点金属20とゲート電極8との界面において、シリサイド（Silicide）の反応が生じ、（A）に示す領域と（B）に示すその他の領域との双方に、それぞれ高融点金属シリサイド22a、22bが形成される。本シリサイド反応はアンモニア雰囲気中の熱処理においても生じる。

10 ここで、（B）に示す領域でのシリサイド22bは、十分なシリサイド反応の後に形成され、C49層で構成される。ところが、（A）に示す領域では、図13に示すイオン注入の影響で反応が不十分であり、C49層の膜中に高融点金属が多く含まれると考えられる。

【0049】シリコン酸化膜で構成された素子分離領域4およびサイドウォール12上には、シリサイド反応を起こさない高融点金属20が残るため、図16に示すように、たとえばアンモニア過水（NH<sub>3</sub>：H<sub>2</sub>O<sub>2</sub>：H<sub>2</sub>O = 1:2:6、60°C、10分）によって選択的にエッチングを行う。この場合のエッチング液は、塩酸過水および硫酸過水等でも良い。

【0050】次に、C49相の高融点金属シリサイド22bをC54相の高融点金属シリサイドに相転移させるために、たとえば窒素雰囲気中若しくはアルゴン雰囲気中において、図17に示すように、800°C、30秒の熱処理を行う。この結果、シリサイド22bは低抵抗な高融点金属シリサイドC54相（～5Ω/□）となるが、（A）に示す領域のシリサイド22aは、高融点金属シリサイドC49相、高融点金属シリサイドC59相および高融点金属を含む膜であり、抵抗が十分高い。この抵抗値の違いは前述したとおりである。

【0051】その後、図18に示すように、通常の層間絶縁膜24を形成し、図19に示すように、接続孔をタングステンプラグ26等を用いて形成し、A1などで構成される金属配線28を形成し、その上にパッシベーション膜30を成膜する。本実施例に係る半導体装置およびその製造方法では、保護回路部分などの高抵抗が要求される領域に形成されるシリサイド膜の抵抗を高くすることにより、シリサイドプロセスと高抵抗が要求される領域との整合性を高めることができる。また、本実施例では、工程数の大幅な増加を抑制することが可能となる。

#### 【0052】実施例6

前記実施例5では、イオン注入を行うことで高抵抗な高融点金属シリサイドを形成したが、ソース・ドレインイオン注入を行う際に、酸素原子のノックオン（Knock-on）を利用して同様の効果が得られる。この場合は図示はしないが、以下の方法で形成する。

【0053】1) ソース・ドレインイオン注入を行う前に、高抵抗な高融点金属シリサイドを形成する領域にの

みシリコン酸化膜を形成する。この場合のシリコン酸化膜はたとえば、常圧CVDにより形成されたSiO<sub>2</sub>や、減圧のTEOS-CVDにより形成されたSiO<sub>2</sub>や、SiNや、O<sub>3</sub>-TEOS法により形成されたノンドープ酸化シリコン(NSG)膜、PSG膜、BPSG膜などで構成され、その膜厚は、約10nm程度である。

【0054】2) 高抵抗な高融点金属シリサイドを形成する領域では、このシリコン酸化膜を通して、低抵抗な高融点金属シリサイドを形成する領域では、シリコン基板に直に、ソース・ドレインを形成するための不純物イオン(Nch領域では、たとえば砒素、Pch領域ではたとえばボロンやフッ化ボロン等のイオンである)注入を行う。この場合のイオン注入のエネルギーは、シリコン基板とシリコン酸化膜の界面付近にRp(Projected Range: 射影飛程)が来るよう設定する。この条件でイオン注入を行うことで、シリコン酸化膜中の酸素原子がシリコン基板中へ打ち込まれ、シリサイド化反応を行う際に反応が抑制され、結果として高抵抗な高融点金属シリサイドが形成される。

#### 【0055】変形例

本発明は、上記の実施例に限定されるものでなく、種類の変形が可能である。たとえばサリサイド反応を1ステップで行う場合や、ゲート電極には高融点金属シリサイドを形成しない場合、SAC(Self Aligned Contact)を用いるためにゲート電極上にオフセット酸化膜を形成するなど多種多様の変形が可能である。

【0056】また、本発明は、メモリに限らず、ゲートアレイやスタンダードセル等でも、シリサイド反応に於いて通常の低抵抗な高融点シリサイドに加えて、高抵抗な高融点金属シリサイドを形成したい場合には全て適用できる。

#### 【0057】

【発明の効果】以上説明してきたように、本発明によれば、

①サリサイドプロセスを用いても、保護回路部分の抵抗は低抵抗化されないため、従来の設計技術、回路技術を用いて保護回路を形成できる。

【0058】②また、本発明では、たとえば埋め込み拡散層の様な複雑な複雑なプロセスを行う必要がないため、工程数の大幅な増加を抑えることができる。

③本発明では、保護回路の構造が従来と変わらないため、サリサイドを用いたときに生じる保護回路部分の面積増大によるセルサイズの増大が無い。

【0059】④本発明では、拡散層に高融点シリサイドを用いても、拡散層を従来と同様に「抵抗」として用いることができる。

#### 【図面の簡単な説明】

【図1】図1は本発明に係る半導体装置の製造方法を示し、図1(A)は保護回路部分の要部断面図であり、図1(B)はその他の回路部分の要部断面図である。

【図2】図2は図1の続きの工程を示し、図2(A)は保護回路部分の要部断面図であり、図2(B)はその他の回路部分の要部断面図である。

【図3】図3は図2の続きの工程を示し、図3(A)は保護回路部分の要部断面図であり、図3(B)はその他の回路部分の要部断面図である。

【図4】図4は図3の続きの工程を示し、図4(A)は保護回路部分の要部断面図であり、図4(B)はその他の回路部分の要部断面図である。

【図5】図5は図4の続きの工程を示し、図5(A)は保護回路部分の要部断面図であり、図5(B)はその他の回路部分の要部断面図である。

【図6】図6は図5の続きの工程を示し、図6(A)は保護回路部分の要部断面図であり、図6(B)はその他の回路部分の要部断面図である。

【図7】図7は図6の続きの工程を示し、図7(A)は保護回路部分の要部断面図であり、図7(B)はその他の回路部分の要部断面図である。

【図8】図8は図7の続きの工程を示し、図8(A)は保護回路部分の要部断面図であり、図8(B)はその他の回路部分の要部断面図である。

【図9】図9は図8の続きの工程を示し、図9(A)は保護回路部分の要部断面図であり、図9(B)はその他の回路部分の要部断面図である。

【図10】図10は図9の続きの工程を示し、図10(A)は保護回路部分の要部断面図であり、図10(B)はその他の回路部分の要部断面図である。

【図11】図11は図10の続きの工程を示し、図11(A)は保護回路部分の要部断面図であり、図11(B)はその他の回路部分の要部断面図である。

【図12】図12は本発明の他の実施例に係る半導体装置の製造方法を示し、図12(A)は保護回路部分の要部断面図であり、図12(B)はその他の回路部分の要部断面図である。

【図13】図13は図12の続きの工程を示し、図13(A)は保護回路部分の要部断面図であり、図13(B)はその他の回路部分の要部断面図である。

【図14】図14は図13の続きの工程を示し、図14(A)は保護回路部分の要部断面図であり、図14(B)はその他の回路部分の要部断面図である。

【図15】図15は図14の続きの工程を示し、図15(A)は保護回路部分の要部断面図であり、図15(B)はその他の回路部分の要部断面図である。

【図16】図16は図15の続きの工程を示し、図16(A)は保護回路部分の要部断面図であり、図16(B)はその他の回路部分の要部断面図である。

【図17】図17は図16の続きの工程を示し、図17(A)は保護回路部分の要部断面図であり、図17(B)はその他の回路部分の要部断面図である。

【図18】図18は図17の続きの工程を示し、図18

15

(A) は保護回路部分の要部断面図であり、図18  
(B) はその他の回路部分の要部断面図である。

【図19】図19は図18の続きの工程を示し、図19  
(A) は保護回路部分の要部断面図であり、図19  
(B) はその他の回路部分の要部断面図である。

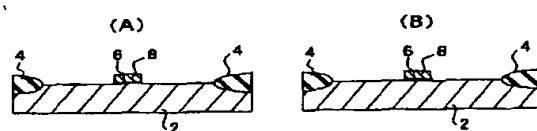
【符号の説明】

2 … 半導体基板

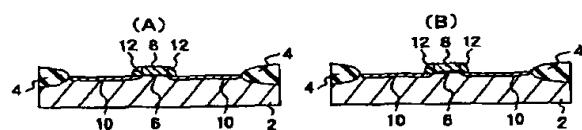
4 … 素子分離領域

6 … ゲート酸化膜

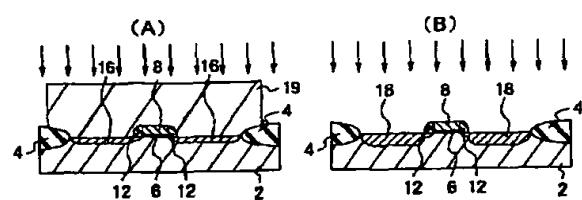
【図1】



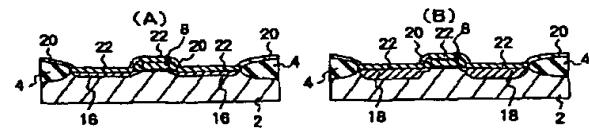
【図3】



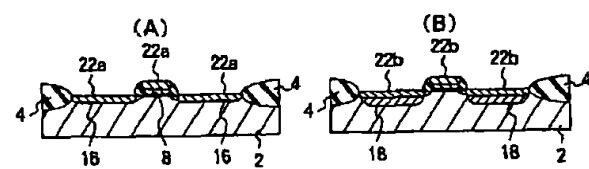
【図5】



【図7】



【図9】



\* 8 … ゲート電極

10 … LDD領域

12 … サイドウォール

14 … レジスト

16, 18 … ソース・ドレイン領域

19 … レジスト

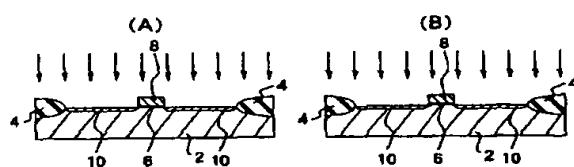
20 … 高融点金属

22, 22a, 22b … 高融点金属シリサイド

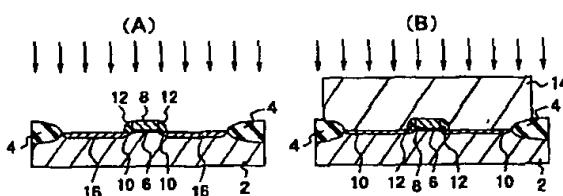
\* 24 … 層間絶縁膜

16

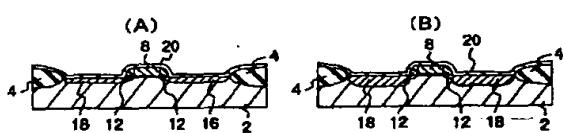
【図2】



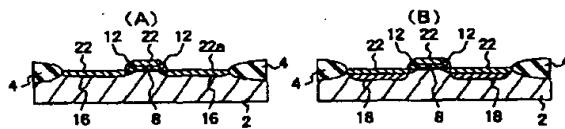
【図4】



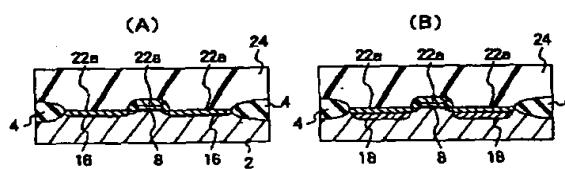
【図6】



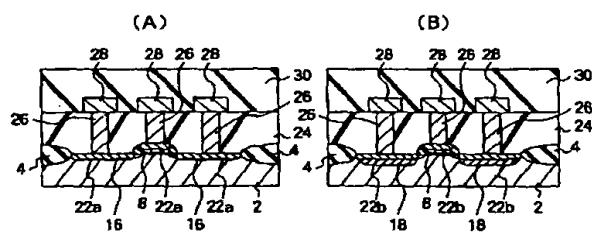
【図8】



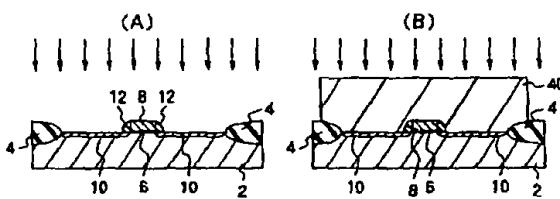
【図10】



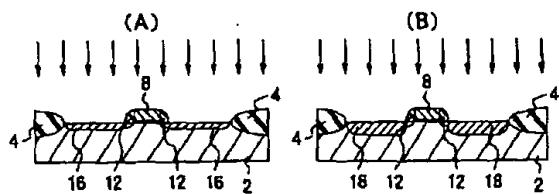
【図11】



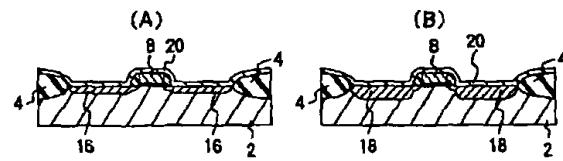
[図12]



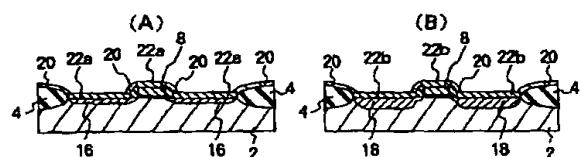
【図13】



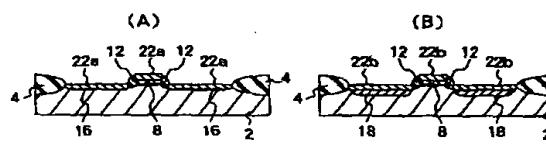
【図14】



【図15】



[図17]



[図1.8]

(图 19)

